

基于 FPGA 的 16APSK 数字接收机的设计与实现*

李湘鲁¹, 代涛¹, 姚远程²

(1. 中国工程物理研究院电子工程研究所, 四川 绵阳 621900;

2. 西南技术大学 信息工程学院, 四川 绵阳 621000)

摘要: 介绍了一种适用于新型体制 16APSK 的相干解调算法, 给出了其工作流程框图, 说明了各主要模块的设计方法, 并给出了基于 FPGA 的数字接收机架构及实现结果。经实验证明, 该接收机兼顾解调性能与实现复杂度, 具有较高的工程应用价值。

关键词: 16APSK; 测控通信; 相干解调; FPGA

中图分类号: TN92

文献标识码: A

文章编号: 0258-7998(2013)03-0047-03

Design and implementation of 16APSK digital receiver based on FPGA

Li Xianglu¹, Dai Tao¹, Yao Yuancheng²

(1. Institute of Electronic Engineering, CAEP, Mianyang 621900, China;

2. College of Information Engineering, Southwest University of Science and Technology, Mianyang 621000, China)

Abstract: This paper introduces a kind of coherent demodulation algorithm for a new modulation mode 16APSK. The working flow, structures of digital receiver based on FPGA and the implement results are given. The experiment results show that this digital receiver takes the demodulation performance and implementation complexity into consideration, which concludes to practical value.

Key words: 16APSK; TT&C and communication; coherent demodulation; FPGA

随着无人机、卫星等领域对测控通信对信息传输量的要求不断增加, 传输数据率越来越高, 在信道带宽一定的条件下, 最好使用多进制调制体制。16QAM 的频谱利用率为 4 bit/s/Hz, 是目前常用的 BPSK/QPSK 体制的 4/2 倍, 在频带利用率和误码率之间得到很好的折衷^[1]。考虑到功率利用率、噪声性能与设备复杂度等多方面因素, 16APSK (星型 16QAM) 是一种合适的信号体制。以上需求促进了对该体制解调接收技术的研究以及关键技术攻关。

1 16APSK 体制介绍

16APSK 体制又称为星型 16QAM, 不同于一般的 QAM 信号, 它的星座图是由内外 2 个同心圆组成, 通过这样的星座设计, 减少了信号的幅度变化, 更易于对放大器的非线性进行补偿, 适应线性特性不好的传输信道, 以获得更高的频谱利用率, 也有利于降低解调难度^[2]。如果将 16 个星座点的 APSK 调制分解为 2 个独立的 8PSK 调制, 这样形成的 APSK 星座图是直径不同的 2 个圆

形, 得到 APSK 调制的仿真结果如图 1 所示。

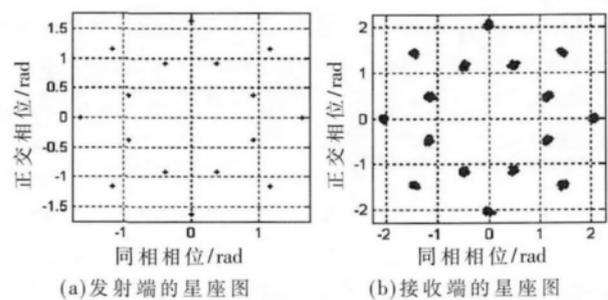


图 1 16APSK 信号调制仿真图

2 16APSK 信号相干解调算法

16APSK 信号采用相干算法进行解调, 图 2 所示为 16APSK 信号相干算法解调框图。从图中可见, 涉及到的关键技术和算法有: 相干载波恢复算法、定时同步算法、幅值相位判决算法等。

2.1 相干载波恢复算法

采用相干解调算法, 需要对载波进行精确的相位同步。同时, 考虑到须在较短时间内建立载波同步, 采用一种锁相环(PLL)联合基于频率检测环路算法的锁频环(AFC)

* 基金项目: 国家自然科学基金-中国工程物理研究院联合基金(NSAF)资助项目(10876035)

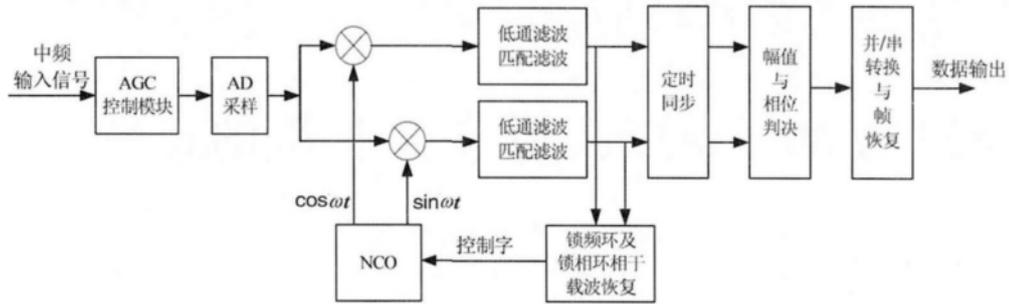


图2 16APSK信号相干解调框图

的结构来做载波恢复。基本结构如图3所示。

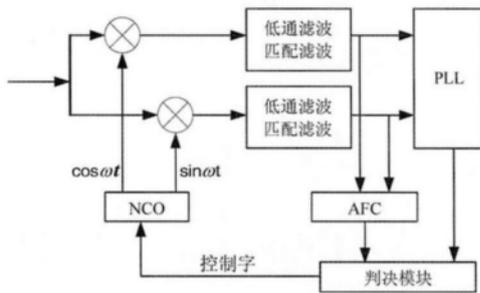


图3 相干载波同步框图

载波恢复首先用频率检测环路FD(Frequency Detector)对接收信号进行载波频率恢复,此时环路工作于捕获模式。FD采用了基于最大似然估计的GFD(GardnerFD)简化算法,其频率误差实现公式为:

$$\varepsilon(t) = I_{FMF} \times Q_{MF} - I_{MF} \times Q_{FMF} \quad (1)$$

其中, t 为时间, I 为同相支路, Q 为正交支路。 I_{MF} 是 I 经过匹配滤波后的数据, I_{FMF} 是 I 经过频率匹配滤波后的数据, Q_{MF} 是 Q 经过匹配滤波后的数据, Q_{FMF} 是 Q 经过频率匹配滤波后的数据。由GFD算法得到的频率误差结果经过环路滤波器后去更新NCO频率值。

频率检测器的捕获范围大,但是跟踪精度较差。所以在FD锁定(频率锁定检测到载波频偏小于符号速率的1/1000时FD锁定)之后,要切换到锁相环上对载波进行精确跟踪。

针对APSK信号载波同步有一些经典算法,如判决引导(DD)算法、极性判决算法等。但都存在不足:DD算法可以稳定跟踪载波,但同步建立时间长、跟踪范围较窄;极性判决算法同步建立时间较短,但跟踪精度没有DD算法好。经综合考虑,本设备采用一种简化星座图(RC-DD)算法^[3]。

根据APSK星座特点,对8-8APSK星座进行三次方处理,得到如图4所示星座。可以看到,其星座最外圈8个点相当于8PSK,内、外圆的半径相比更加悬殊。在对其相位同步时,可对内圆的信号点忽略进行粗调,其方法类似于对8PSK进行相位同步,因为只考虑外圆,所以其幅度最大,相当于提高了信噪比。

2.2 定时同步算法

16APSK解调端的定时同步模块包括误差提取和误

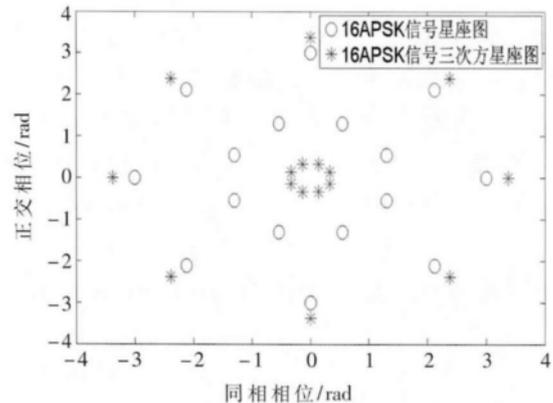


图4 16APSK信号三次方星座图

差校正两个部分,误差提取模块采用Gardner算法,而误差校正通过内插实现。

Gardner算法的定时误差检测算法如下:

$$\mu_e(r) = y_1(r-1/2)[y_1(r) - y_1(r-1)] + y_Q(r-1/2)[y_Q(r) - y_Q(r-1)] \quad (2)$$

其中, r 为采样点, y_1, y_Q 分别为I、Q支路的内插值。每个符号2个采样点,I、Q两路数据同时参与运算。提取的误差信号送入环路滤波器以滤除噪声的影响。模块利用同步定时误差信号调整下一次进行内插的时刻,使由内插值计算所得的同步误差信号逐渐趋于零。该算法适用于捕获和跟踪两种模式,并且定时误差值与载波相位无关,即符号同步可以在载波相位锁定前达到收敛。

定时同步模块由内插器、时钟误差提取、环路滤波器以及控制器组成。本系统采用多项式内插器实现内插计算。多项内插可视为低通滤波,对其频率响应的要求是:在 $0 \sim 1/(2T_s)$ (T_s 为采样时刻) 的频率范围内具有平坦的响应和线性相位,且能尽可能地抑制信号中的高频分量。通常的内插器有线性、抛物线和三次内插,由于具有高效的Farrow结构,即滤波器系数可以分解为固定系数与误差量的幂次乘积之和的形式,并且内插性能较好,故选用了三次内插器,代价是增加了计算量。其结构如图5所示。其中, $C(0) \sim C(3)$ 为滤波器系数, m 为整数倍误差, μ_k 为分数倍误差。

2.3 幅值相位判决算法

通过数字下变频与定时同步之后的I、Q两路数据包含有16APSK信号的幅度与相位信息。设 $I_{\text{may}} = A \times \cos(\omega t)$,

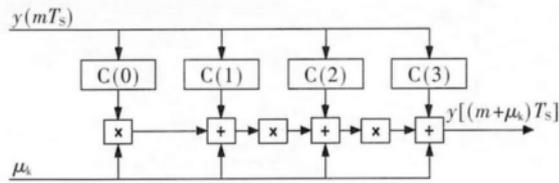


图5 立方插值的Farrow结构

$Q_{\text{way}} = A \times \sin(\omega t)$, 则可得到幅值 $A = \sqrt{I_{\text{way}}^2 + Q_{\text{way}}^2}$, 而相位信息需要反正切运算, 在FPGA硬件实现中一般采用Cordic算法实现。Cordic算法基于方程组:

$$\begin{cases} x_{i+1} = x_i - d_i y_i 2^{-i} \\ y_{i+1} = y_i + d_i x_i 2^{-i} \\ z_{i+1} = z_i - d_i \arctan(2^{-i}) \end{cases} \quad (3)$$

其中, x_i, y_i 分别表示第 i 个点的同相支路和正交支路, $z_i = \sqrt{x_i^2 + y_i^2}$, d_i 为符号量。对 i 作递归, 当 i 趋于无穷大时, Cordic 算法在两种不同模式下分别收敛于以下等式: 旋转模式下, $d_i = \text{sign}(z_i)$; 向量模式下, $d_i = -\text{sign}(y_i)$ 。其中, $\text{sign}(x)$ 为取 x 的符号, x 为非负, 则 $\text{sign}(x) = 1$; x 为负, 则 $\text{sign}(x) = -1$ 。

通过 Cordic 模块计算出信号相位值之后, 配合信号幅度值就可以恢复出 4 bit 的 16APSK 信号数据。考虑到 PSK 信号固有的相位模糊问题, 可以通过 Gray 差分编译码来解决。

3 FPGA 硬件实现

在 Matlab 进行模型仿真的基础上, 进一步在通用 FPGA 硬件平台上实现 16APSK 解调算法。本文所使用的基于 FPGA 的硬件平台结构如图 6 所示。

该硬件平台的硬件资源很丰富, 可以支持多种基于

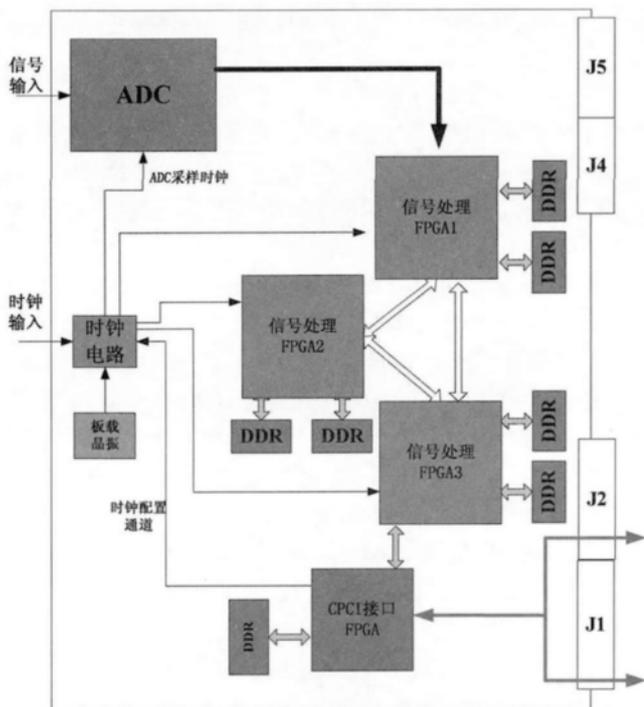


图6 FPGA 硬件平台框图

软件无线电的数字接收机实现。在本设计中只使用一片信号处理 FPGA 及 CPCI 接口 FPGA 即可完成整个 16APSK 信号数字接收机。

信号处理 FPGA 使用 Xilinx 公司的 XC5VLX330, 在 XC5VLX330 芯片上的实现占用了 21% 的 Slice 资源、43% 的 BlockRAM 资源。使用 CPCI 接口 FPGA 芯片可将解调接收到的基带数据通过 CPCI 接口传输给与硬件平台连接的工控机平台, 完成数据存储、处理等后续工作。图 7 所示为硬件实测 16APSK 信号在 50 Mb/s 码速率下的解调星座图。

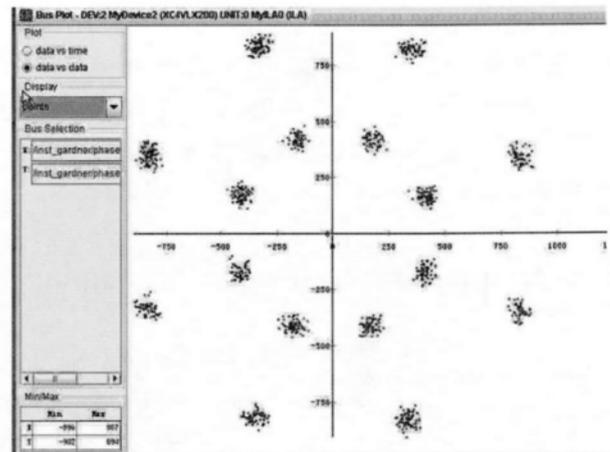


图7 16APSK 信号解调实测星座图

本文针对无线测控通信任务中的高速数据传输需求, 提出了一种使用高阶调制 16APSK 体制信号的相干解调算法, 给出其工作流程框图, 说明各主要模块的设计方法, 并给出了在码速率 50 Mb/s 下的数字接收机的实现结果。该接收机兼顾解调性能与实现复杂度, 具有较高的工程应用价值。

参考文献

- [1] 杨雪梅. QPSK 与 16QAM 在卫星通信中性能分析[J]. 空间电子技术, 2002, 21(6): 35-38.
- [2] 雷菁, 黄英, 刘志新. 非线性卫星信道中 APSK 信号星座优化设计研究[J]. 武汉理工大学学报, 2006, 28(8): 118-121.
- [3] 刘志新. APSK 信号星座优化设计及其调制解调研究[D]. 湖南: 国防科学技术大学, 2007.

(收稿日期: 2012-10-17)

作者简介:

- 李湘鲁, 男, 1983 年生, 硕士, 助理研究员, 主要研究方向: 无线电测控通信。
- 代涛, 男, 1980 年生, 硕士, 助理研究员, 主要研究方向: 数字信号处理。
- 姚远程, 男, 1962 年生, 博士, 教授, 主要研究方向: 软件无线电, 数传及抗干扰技术, 卫星宽带通信。